

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-091097

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

G09F 9/35

(21)Application number : 08-245300

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1996

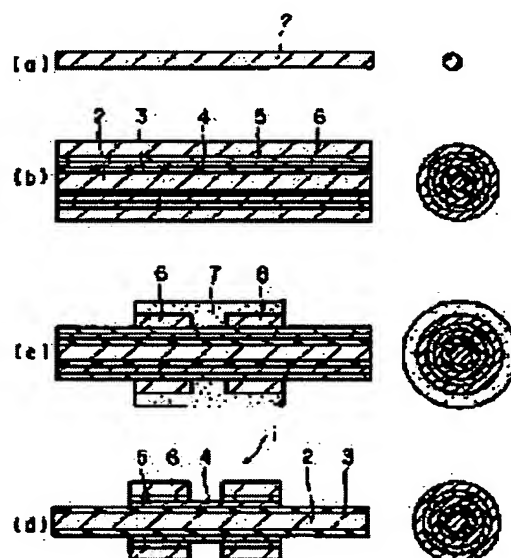
(72)Inventor : UCHIKOGA SHIYUICHI  
UEDA TOMOMASA  
IKEDA MITSUSHI

## (54) TRANSISTOR ARRAY SUBSTRATE AND DISPLAY DEVICE USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable the adopting of a substrate of low strain point such as plastic substrata and so forth and the selecting of extensive substrate materials and moreover to enhance productivity by installing a transistor array consisting of transistors which are constituted by sticking semiconductor layers and are plurally provided in an axial direction while making a conductive wire material a common on the surface of a substrate.

**SOLUTION:** A thin film transistor 1 is which a gate insulating layer 3, a semiconductor layer 4, a contact layer 5 and an electrode layer of source and drain are laminatingly formed on surroundings of a conductive wire material 2 is produced. Thin film transistors 1 having the same constitution are plurally formed in the axial direction of the conductive wire material 2. Plural wire-shaped elements consisting of the thin film transistors 1 and the conductive wire-shaped material 2 are separately mounted on a low distortion point substrate with a specified interval. A transparent substrate using plastic or the like can be used in this low distortion point substrate. Consequently, since it is not necessary to perform a high temp. processing such as the forming of the semiconductor layer 4 or the like on the substrate, the selecting of extensive substrate materials is made possible.



## LEGAL STATUS

[Date of request for examination] 27.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3544795

[Date of registration] 16.04.2004

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-91097

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>

G 0 9 F 9/35

識別記号

F I

G 0 9 F 9/35

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平8-245300

(22) 出願日 平成8年(1996) 9月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内古閑 修一

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 上田 知正

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

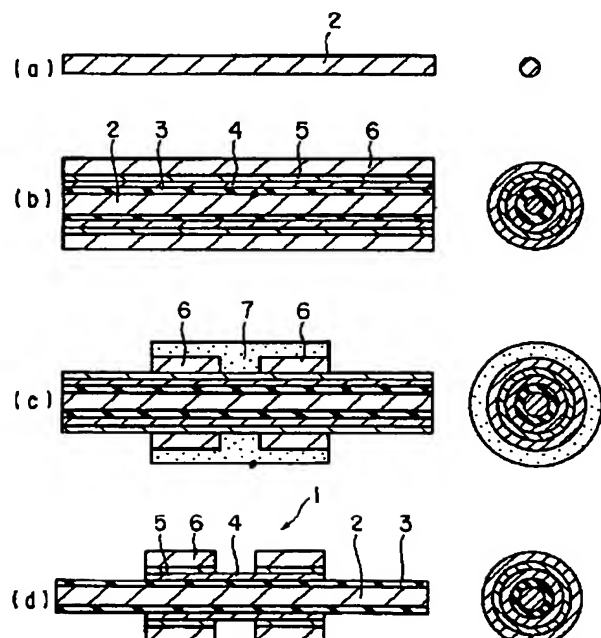
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 トランジスタアレイ基板及びこれを用いた表示装置

(57) 【要約】

【課題】 プラスチック基板等の低歪点の基板の採用等、広範な基板材料が選択可能であり、さらに生産性の向上をはかることも可能なトランジスタアレイ基板を提供する。

【解決手段】 電極配線として用いる導電性線材2及びこの導電性線材2の周囲に能動層が形成される半導体層4を付着して構成され前記導電性線材2を共通として軸方向に複数設けたトランジスタからなるトランジスタアレイと、このトランジスタアレイを表面に設置する基板とを有する。



## 【特許請求の範囲】

【請求項1】 電極配線として用いる導電性線材及びこの導電性線材の周囲に能動層が形成される半導体層を付着して構成され前記導電性線材を共通として軸方向に複数設けたトランジスタからなるトランジスタアレイと、このトランジスタアレイを表面に設置する基板とを有することを特徴とするトランジスタアレイ基板。

【請求項2】 電極配線として用いる導電性線材及びこの導電性線材の周囲に能動層が形成される半導体層を付着して構成され前記導電性線材を共通として軸方向に複数設けたトランジスタからなるトランジスタアレイと、このトランジスタアレイを表面に設置する基板と、前記基板上に形成され前記トランジスタに夫々接続された複数の画素とを有するトランジスタアレイ基板を複数積層してなり、前記トランジスタが前記画素を駆動するスイッチング素子として働くことを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等に用いるトランジスタアレイ基板及びこれを用いた表示装置に関する。

## 【0002】

【従来の技術】アクティブマトリクス型液晶表示装置の構成要素である薄膜トランジスタアレイは通常ガラス基板上に形成されるが、薄膜トランジスタの形成に際してはその構成要素である半導体層や絶縁層を200～400℃の温度で成膜する必要がある。一般にガラス基板に熱が加わると熱収縮による変形が生じるため、このような高温成膜によってパターンのアライメント精度が劣化するおそれがある。また、ガラス基板が高温にさらされると、ガラス中の不純物が薄膜トランジスタを構成する膜中へと拡散し、素子の特性や信頼性を劣化させるおそれがある。

【0003】このようなガラス基板の熱収縮や不純物の熱拡散といった問題を解決するためには、不純物の含有量の少ないガラス基板を選択するか或いはプロセス温度を低温化する必要がある。しかしながら、不純物含有量の少ないガラス基板は一般に高価であり、プロセス温度の低温化は素子特性の劣化を招く。

【0004】一方、液晶表示装置を携帯用情報機器に用いることを考えると、耐衝撃性や軽量性といった観点からは、ガラス基板を用いるよりはプラスチック基板の方が適しているといえる。しかしながら、プラスチック基板はガラス基板に比べて膨脹係数が大きく、また高温で塑性変形を起こす。したがって、200～400℃のプロセス温度が必要な薄膜トランジスタアレイの基板に用いることは非常に困難である。

【0005】また、薄膜トランジスタを用いた液晶表示装置は、MIM等の2端子素子を用いた液晶表示装置や単純マトリクス型の液晶表示装置に比べて製造工程数が

一般的に多く、この観点からは生産性があまり高いとは言えない。また、薄膜トランジスタアレイを基板上に形成する場合、数多くの薄膜トランジスタを欠陥なく形成しなければならず、一つの基板内で規定数以上の薄膜トランジスタが不良であれば、その基板全体が不良品となってしまう、この点も生産性低下の要因となる。さらに、対角サイズの異なる表示装置を製造する場合、薄膜トランジスタの形状が同一であっても、製造する対角サイズに合わせてその都度フォトマスクを作成しなければならず、この点も生産性低下の要因となる。

【0006】ところで、将来の携帯用情報機器の表示装置としては、低消費電力という観点から、バックライトが不要な反射型液晶表示装置が有望である。この反射型液晶表示装置として、3層の液晶層を積層してカラー表示を行うものがある。この場合3層それぞれに対して3枚のガラス基板上に薄膜トランジスタアレイを構成する必要があるが、そのため単層構造に比べて配線が複雑になる。また、積層方向の3層を一組として一つの画素を構成するため、ガラス基板の厚さによる視差ズレが問題となる。視差ズレを少なくするためにはガラス基板の厚さを極力薄くする必要があるが、工程数の多い薄膜トランジスタの作成を薄いガラス基板上で行うことは困難である。

## 【0007】

【発明が解決しようとする課題】以上述べたように、従来は、薄膜トランジスタの構成要素である半導体層や絶縁層を200～400℃の温度で成膜することに起因して、ガラス基板の熱収縮によるアライメント精度が低下する、ガラス基板中の不純物の熱拡散による素子の特性や信頼性が劣化する、プラスチック基板等の低歪点の基板の採用が困難であるといった問題があり、また、製造工程等の観点から生産性の向上をはかることが困難であるという問題があった。

【0008】また、薄膜トランジスタアレイ基板を複数積層して構成した表示装置においては、配線が複雑になるといった問題や厚さの薄い基板を用いることが困難であるといった問題があった。

【0009】本発明の第1の目的は、プラスチック基板等の低歪点の基板の採用等、広範な基板材料が選択可能であり、さらに生産性の向上をはかることも可能なトランジスタアレイ基板を提供することにある。

【0010】本発明の第2の目的は、トランジスタアレイ基板を複数積層して構成した表示装置において、多層配線における配線の複雑さを改善することが可能あり、厚さの薄い基板を用いることが可能な表示装置を提供することにある。

## 【0011】

【課題を解決するための手段】本発明におけるトランジスタアレイ基板は、電極配線として用いる導電性線材及びこの導電性線材の周囲に能動層が形成される半導体層

を付着して構成され前記導電性線材を共通として軸方向に複数設けたトランジスタからなるトランジスタアレイと、このトランジスタアレイを表面に設置する基板とを有することを特徴とする。

【0012】上記発明によれば、上記トランジスタアレイを予め用意しておき、これを基板上に搭載することによりトランジスタアレイ基板或いはトランジスタアレイ基板の一部が構成される。したがって、絶縁層や半導体層等の形成といった高温プロセスを基板上で行う必要がないので、プラスチック基板等の低歪点の基板の採用等、広範な基板材料の選択が可能となる。また、工程数の多いトランジスタアレイの作成を基板上で行わなくてもよいので、生産性の向上をはかることが可能となる。

【0013】また、本発明における表示装置は、電極配線として用いる導電性線材及びこの導電性線材の周囲に能動層が形成される半導体層を付着して構成され前記導電性線材を共通として軸方向に複数設けたトランジスタからなるトランジスタアレイと、このトランジスタアレイを表面に設置する基板と、前記基板上に形成され前記トランジスタに夫々接続された複数の画素とを有するトランジスタアレイ基板を複数積層してなり、前記トランジスタが前記画素を駆動するスイッチング素子として働くことを特徴とする。

【0014】上記発明によれば、トランジスタアレイを予め用意しておき、これを基板上に搭載することによりトランジスタアレイ基板或いはトランジスタアレイ基板の一部が構成されるので、工程数の多いトランジスタアレイの作成を基板上で行わなくてもよく、厚さの薄い基板を採用することが可能であり、基板の厚みに起因する視差ズレを低減することが可能となる。また、導電性線材を基板外への引出し用の配線に利用することができ、配線の複雑さが低減され効果的な配線を行うことが可能となる。

【0015】

【発明の実施の形態】以下、添付図面に基づいて、本発明の実施形態の説明を行う。図1は、後述する各実施形態において用いる線状素子の構成及びその製造工程を示したものである。各工程図(a)～(d)では、線状素子の軸方向に沿った断面及び軸方向に垂直な方向の断面を示してある。以下、図1(a)～(d)にしたがって、製造工程の説明をする。

【0016】まず、導電性線材2として、Cu、Al、W、Ta、Au等の低抵抗の金属を用いた針金状の金属線を用意する。この導電性線材2は薄膜トランジスタのゲート電極及びこれを接続するゲート配線となるものである(a)。

【0017】つぎに、導電性線材2の周囲に、ゲート絶縁層3、半導体層4、コンタクト層5及びソース・ドレインの電極層6を順次形成する。ゲート絶縁層3としては、シリコン酸化膜、シリコン窒化膜又はこれらの積層

膜の他、導電性線材2の陽極酸化膜等を用いることができる。半導体層4としては、水素を含有したアモルファスシリコン層(以下、a-Si:H層)やポリシリコン層等を用いることができる。コンタクト層5としては、リンをドーブしたa-Si:H層等を用いることができる。これら各層3～5は、従来と同様の温度で高温成膜される。なお、図1の例では各層を導電性線材2の周囲に同心円状に形成しているが、各層間にショートが生じない限り必ずしも同心円状である必要はなく、偏心した状態で形成してもよい(b)。

【0018】つぎに、ソース・ドレインの電極層6のパターン及び素子分離のためのレジストパターン7を形成する(c)。つぎに、レジストパターン7をマスクとして半導体層4及びコンタクト層5をパターニングし、素子分離を行う。レジストパターン7を剥離後、ソース・ドレインの電極層6をマスクとしてコンタクト層5をエッチングし、ソース及びドレイン領域を形成する(d)。

【0019】以上のようにして、図1(d)に示すように、導電性線材2の周囲にゲート絶縁層3、半導体層4、コンタクト層5及びソース・ドレインの電極層6が積層形成された薄膜トランジスタ1が作成される。なお、図1では単一の薄膜トランジスタ1のみ示しているが、実際には導電性線材2の軸方向に同一構成の薄膜トランジスタが複数形成されている。

【0020】つぎに、本発明の第1実施形態を図2及び図3を参照して説明する。本実施形態は、図1に示した線状素子を用いてアクティブマトリクス型の液晶表示装置を構成したものである。以下、図2(a)～図3

(d)にしたがって、本実施形態をその製造工程にしたがって説明する。なお、図では簡単のため5×5のマトリクスについて示しているが、実際には数100×数100あるいはそれ以上のマトリクスが構成される(他の実施形態においても同様)。

【0021】まず、図1で示したような薄膜トランジスタ1及び導電性線材2からなる複数の線状素子を、低歪点基板11上に一定の間隔を隔てて搭載する(a)。他方の低歪点基板21上には、信号線22、画素電極23及び画素電極23と薄膜トランジスタ1とを接続する電極24を形成する。したがって、ここでは一画素は、この画素電極23、この上に形成された液晶層、画素電極に対向する電極から構成されることになる。低歪点基板11及び21には、プラスチック等を用いた透明な基板を用いることができる。また、信号線22及び接続用の電極24にはAl、Au、Cu等を用いることができ、画素電極23にはITO等の透明導電性薄膜等を用いることができる(b)。

【0022】つぎに、図2(a)に示した低歪点基板11と図2(b)に示した低歪点基板21とを圧着して薄膜トランジスタアレイ基板を形成する。この圧着によ

り、低歪点基板11上に形成された薄膜トランジスタ1のソース電極と低歪点基板21上に形成された信号線22とが接続されるとともに、低歪点基板11上に形成された薄膜トランジスタ1のドレイン電極と低歪点基板21上に形成された画素電極23とが接続される。なお、導電性線材2の周囲には、図1に示すようにゲート絶縁層3が形成されているので、ゲート配線と信号線との交差部においても、このゲート絶縁層3によって両者の絶縁性は確保される(c)。

【0023】つぎに、低歪点基板11及び低歪点基板21を貼り合わせた薄膜トランジスタアレイ基板10と、対向面に対向電極32が形成された対向基板31との間に液晶を封入して液晶層33を形成し、アクティブマトリクス型の液晶表示装置が完成する(d)。

【0024】以上のように低歪点基板11及び低歪点基板21を貼り合わせて形成した薄膜トランジスタアレイ基板10においては、その熱変形は、低歪点基板11及び低歪点基板21の性質だけによって決まるものではなく、ゲート配線として用いる導電性線材2及び信号線22の熱変形に関する性質との複合的な性質によって決まることになる。一般に導電性線材2や信号線22の構成材料となる金属は、プラスチックのような樹脂に比べて熱膨脹係数が小さく、そのため熱変形に対しても強い。したがって、上記のような薄膜トランジスタアレイ基板を用いた場合には、図3(d)の液晶を充填する際の熱工程等においても、熱変形を抑えることができる。

【0025】つぎに、本発明の第2実施形態を図4を参照して説明する。本実施形態は、図1に示した線状素子を用いてアクティブマトリクス型の液晶表示装置を構成したものである。以下、図4(a)～(d)にしたがって、本実施形態をその製造工程にしたがって説明する。

【0026】まず、図1で示したような薄膜トランジスタ1及び導電性線材2からなる複数の線状素子を、図2(a)と同様にして、低歪点基板11上に一定の間隔を隔てて搭載する。他方の低歪点基板41上には信号線42を形成する。そして、低歪点基板11及び41を圧着することにより、低歪点基板11上に形成された薄膜トランジスタ1のソース電極と低歪点基板41上に形成された信号線42とを接続する(a)。

【0027】つぎに、低歪点基板41にスルーホール41aを形成する(b)。つぎに、ITO等の透明導電性薄膜を堆積した後これをパターニングして画素電極43を形成し、薄膜トランジスタ1のドレイン電極と画素電極43とをスルーホール41aを通して接続する(c)。

【0028】つぎに、低歪点基板11及び低歪点基板41を貼り合わせた薄膜トランジスタアレイ基板10と、対向面に抵抗電極32が形成された対向基板31との間に液晶を封入して液晶層33を形成し、アクティブマトリクス型の液晶表示装置が完成する(d)。

【0029】本実施形態によれば、画素電極43として例えばITOを用い、このITOの抵抗を十分に下げなければならない場合、基板を昇温する必要がある。この昇温によって基板が熱変形するおそれがあるが、低歪点基板11及び低歪点基板41の間に網目状に金属配線(導電性線材2及び信号線42)が形成されているので、このときの基板の熱変形を抑制することができる。

【0030】また、本実施形態によれば、信号線42と画素電極43とは低歪点基板41によって完全に分離されているので、信号線42と画素電極43との短絡を防止することができる。したがって、画素電極を図2及び図3に示した第1実施形態に比べて大きく作成することが可能であり、液晶表示装置の開口率を高めることができる。

【0031】さらに、反射型液晶表示装置として使用する場合、低歪点基板41に着色された基板例えば黒色の基板を用い、画素電極43に透明導電性薄膜を用いれば、液晶層33が透過状態のときに黒表示を行うことができる。

【0032】つぎに、本発明の第3実施形態を図5～図7を参照して説明する。本実施形態は、図1に示した線状素子を用いて薄膜トランジスタアレイ基板を形成し、この薄膜トランジスタアレイ基板を積層して各基板間に液晶を封入し、アクティブマトリクス型の反射型カラー液晶表示装置を構成したものである。

【0033】図5は薄膜トランジスタアレイ基板の全体的な構成を示したものであり、図6は図5の一部をさらに詳細に示したものである。薄膜トランジスタアレイ基板50の構成は、透明な低歪点基板51上に、薄膜トランジスタ1及び導電性線材2からなる線状素子、薄膜トランジスタ1のソースに接続される信号線52、薄膜トランジスタ1のドレインに接続電極54を介して接続される透明導電性薄膜を用いた画素電極53を形成したものとなっている。ゲート配線となる各導電性線材2は、低歪点基板51の周縁部において束ねられ、ゲート配線束55となる。また、各信号線52の端部には導電性線材2と同様の針金状の線材が接続され、これらの線材を束ねて信号線束56としている。

【0034】ここで、図5及び図6に示した薄膜トランジスタアレイ基板の製造方法について簡単に説明する。基板上には予め画素電極53をパターン形成しておき、この上に薄膜トランジスタ1及び導電性線材2からなる線状素子を位置合わせて搭載する。薄膜トランジスタ1の長さは、図6に示すように画素電極53の幅と同程度であってもよく、この場合には位置合わせ精度は画素電極の寸法程度となる。続いて、金属層を堆積した後これをパターニングして、薄膜トランジスタ1のソースに接続される信号線52及び薄膜トランジスタ1のドレインと画素電極53とを接続する接続電極54を形成する。このように画素電極53と信号線52及び接続電極

54のパターニングのみで薄膜トランジスタアレイ基板50を作成することができるが、画素電極53と信号線52及び接続電極54は基板を昇温せずに形成することができるので、プラスチック基板等の低歪点基板を用いることができる。

【0035】上記構成を有する薄膜トランジスタアレイ基板を図7に示すように積層し、各薄膜トランジスタアレイ基板50a、50b及び50c並びに透明基板61の各基板間に液晶を封入し（ただし、図7では液晶層は図示していない）、アクティブマトリクス型の反射型カラー液晶表示装置が構成される。液晶材料には色素が添加されており、例えば透明基板61と薄膜トランジスタアレイ基板50aとの間にはシアンの色素、薄膜トランジスタアレイ基板50aと50bの間にはマゼンタの色素、薄膜トランジスタアレイ基板50bと50cの間にはイエローの色素が添加されている。また、薄膜トランジスタアレイ基板50a及び50b並びに透明基板61の裏面側には透明な対向電極が形成され、これらの対向電極と薄膜トランジスタアレイ基板50a、50b及び50cに形成された画素電極との間に適当な電圧を印加することによりカラー表示が得られる。

【0036】ゲート配線束55及び信号線束56は、各薄膜トランジスタアレイ基板51a、51b及び51cの角部で折り曲げられている。ゲート配線束55及び信号線束56を構成する線材は針金状であり、容易に駆動回路（駆動回路は、例えば表示に無関係な基板の裏側に設置される。）付近に配線することが可能である。

【0037】このように、薄膜トランジスタ1及び導電性線材2からなる線状素子を予め用意しておき、これを用いて各薄膜トランジスタアレイ基板50a、50b及び50cを形成すればよいので、製造工程を大幅に簡略化することができる。したがって、厚さの薄い基板を採用することが可能であり、液晶層を複数重ねても基板の厚みに起因する視差ズレを低減することが可能となる。また、針金状の導電性線材を束ねて基板外への引出し用配線に用いるので、多層配線における配線の複雑さを低減することができる。

【0038】なお、以上の説明した各実施形態では液晶表示装置（LCD）について説明したが、本発明はLCDのみならず、PDP（プラズマディスプレイパネル）

やFED（フィールドエミッションディスプレイ）等、マトリクス駆動を行う他の表示装置に適用することも可能である。その他、本発明はその趣旨を逸脱しない範囲内において、種々変形して実施可能である。

#### 【0039】

【発明の効果】本発明におけるトランジスタアレイ基板では、半導体層の形成等の高温プロセスを基板上で行う必要がないので、プラスチック基板等の低歪点の基板の採用等、広範な基板材料の選択が可能となり、また、工程数の多いトランジスタアレイの作成を基板上で行わなくてもよいので、生産性の向上をはかることが可能となる。

【0040】本発明における表示装置では、上記効果に加え、工程数の多いトランジスタアレイの作成を基板上で行わなくてもよいので、厚さの薄い基板を採用することが可能であり、基板の厚みに起因する視差ズレを低減することが可能となる。また、導電性線材を基板外への引出し用の配線に利用することができ、効果的な配線を行うことが可能となる。

#### 【図面の簡単な説明】

【図1】各実施形態において用いる線状素子の構成及びその製造工程を示した図。

【図2】本発明の第1実施形態に係る製造工程を示した図。

【図3】本発明の第1実施形態に係る製造工程を示した図。

【図4】本発明の第2実施形態に係る製造工程を示した図。

【図5】本発明の第3実施形態に係る図であり、トランジスタアレイ基板の構成を示した図。

【図6】図5に示したトランジスタアレイ基板の一部をさらに詳細に示した図。

【図7】図5に示したトランジスタアレイ基板を複数積層して液晶表示装置を構成した図。

#### 【符号の説明】

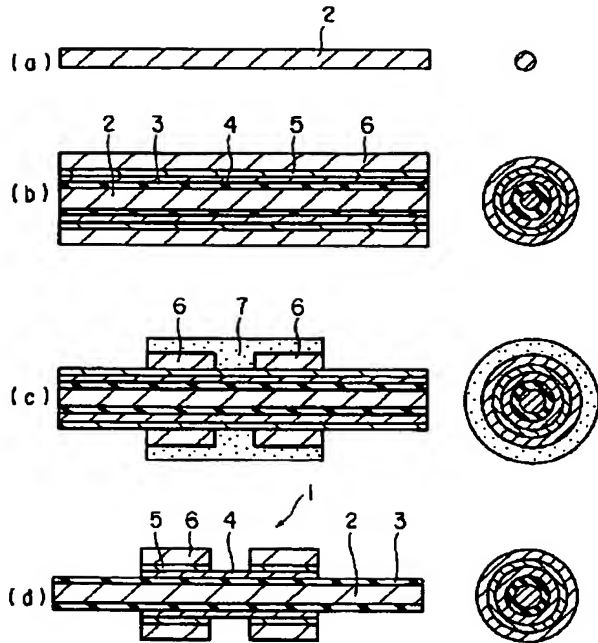
1…薄膜トランジスタ

2…導電性線材

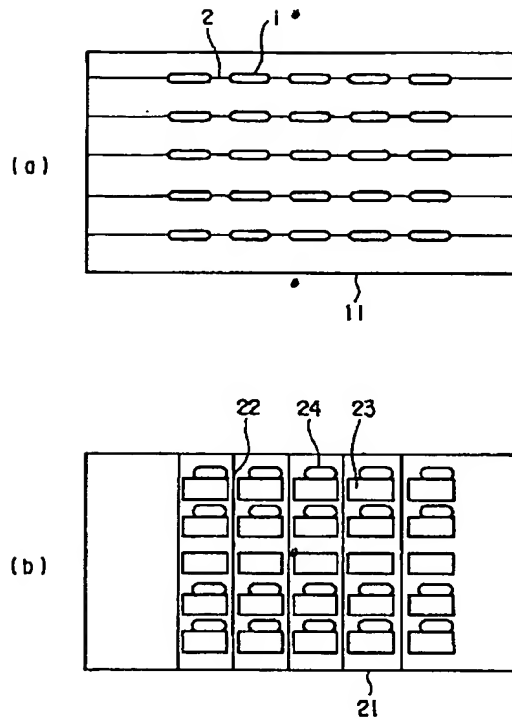
10、50…トランジスタアレイ基板

11、51…基板

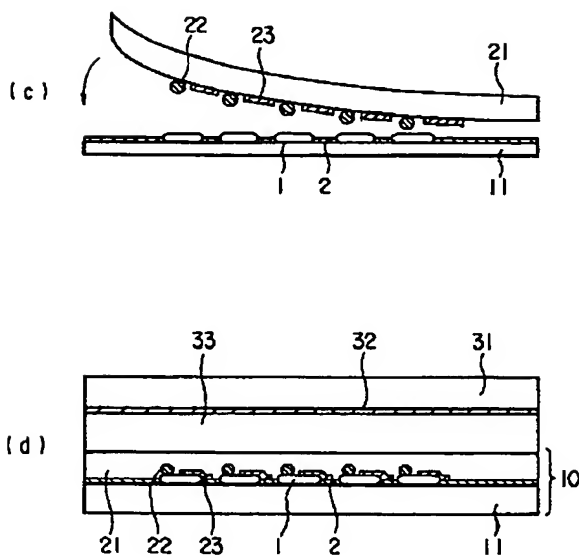
【図1】



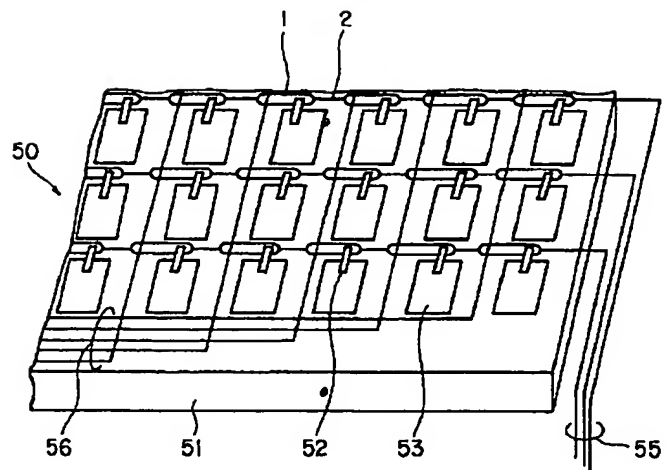
【図2】



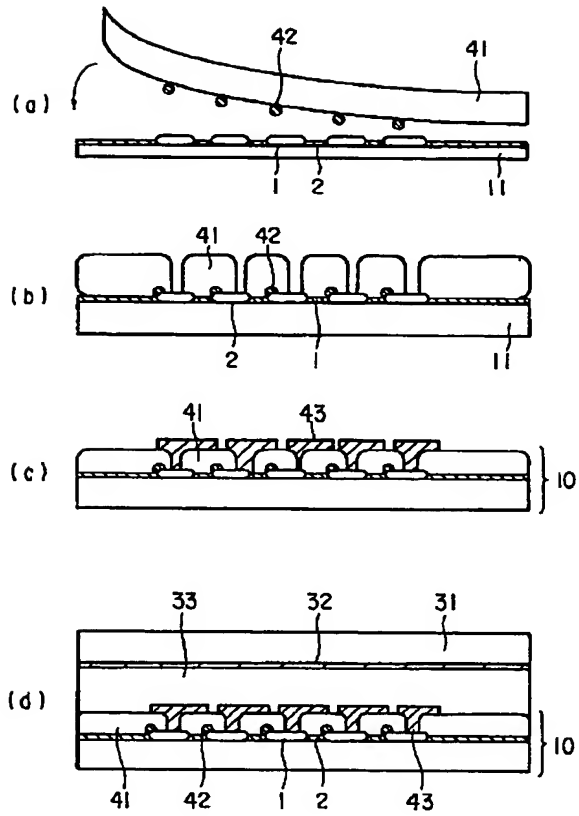
【図3】



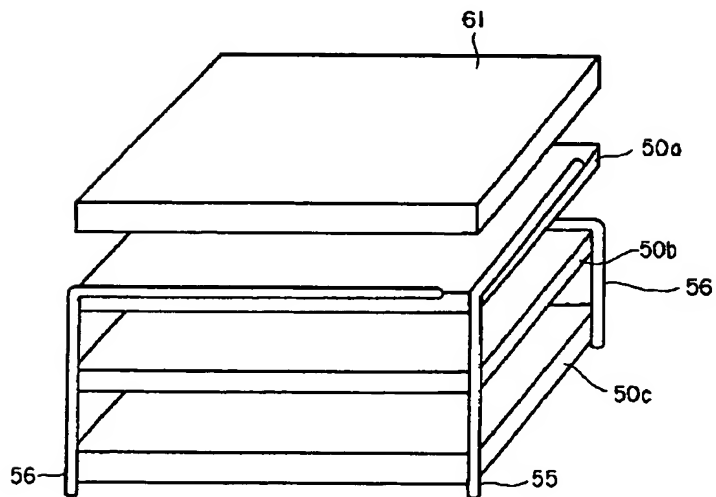
【図5】



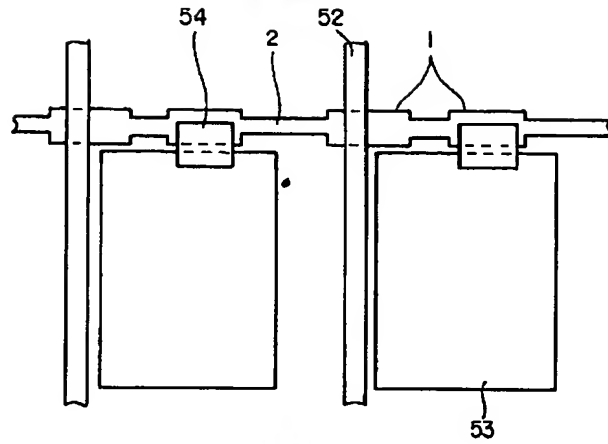
【図4】



【図7】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**